



REQU 26 SEP. 2003

OMPI PCT

Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

Aktenzeichen: 102 37 856.8

Anmeldetag: 19. August 2002

Anmelder/Inhaber: Siemens Aktiengesellschaft,
München/DE

Bezeichnung: Anordnung zur Digital-Analog-Wandlung eines hoch-
frequenten digitalen Eingangssignals in ein träger-
frequentes analoges Ausgangssignal

IPC: H 03 M 1/66

**Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ur-
sprünglichen Unterlagen dieser Patentanmeldung.**

München, den 28. August 2003
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag

SL

Stremme

PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

Best Available Copy

Beschreibung

Anordnung zur Digital-Analog-Wandlung eines hochfrequenten digitalen Eingangssignals in ein trägerfrequentes analoges
5 Ausgangssignal

Die Erfindung betrifft eine Anordnung zur Digital-Analog-Wandlung eines hochfrequenten digitalen Eingangssignals in ein trägerfrequentes analoges Ausgangssignal.

10 Es sind Architekturen zur Erzeugung eines breitbandigen, trägerfrequenten Ausgangssignals bekannt, bei denen in einem niedrigen Frequenzbereich ein digitales Eingangssignal mit Hilfe eines Digital-Analog-Wandlers in ein analoges Signal
15 gewandelt und anschließend mit Hilfe einer oder mehrerer Mischstufen in das trägerfrequente Ausgangssignal umgesetzt wird.

Weiterhin sind Digital-Analog-Wandler-Architekturen bekannt,
20 bei denen aus einem hochfrequenten digitalen Eingangssignal ohne weitere Frequenzumsetzung ein trägerfrequentes Ausgangssignal erzeugt wird. Das trägerfrequente analoge Ausgangssignal weist dabei neben einer gewünschten Trägerfrequenz auch unerwünschte Trägerfrequenzen auf, die beispielsweise durch
25 ein nichtideales digitales Eingangssignal bzw. durch verschiedene unerwünschte Modulationsmechanismen entstehen können.

Bei den beschriebenen Architekturen sind stets ausgangsseitig
30 angeordnete, kostenintensive Filter mit einer hohen Güte bzw. Mischer mit einer hohen Linearität notwendig, die jeweils auf einen gewünschten Trägerfrequenzbereich abzustimmen sind. Bei

einem gewünschten Wechsel des Trägerfrequenzbereichs müssen diese kostenaufwändig ausgetauscht werden.

5 Es ist daher Aufgabe der vorliegenden Erfindung, eine Anordnung zur Digital-Analog-Wandlung derart auszubilden, dass sie ohne großen Aufwand auf verschiedenen Trägerfrequenzbereiche abstimmbar ist.

10 Die Aufgabe der Erfindung wird durch die Merkmale des Anspruchs 1 gelöst. Vorteilhafte Weiterbildungen der Erfindung sind in den Unteransprüchen angegeben.

15 Die erfindungsgemäße Anordnung zur Digital-Analog-Wandlung weist eine integrierte Filtercharakteristik auf, wodurch ausgangsseitig kostenintensive Mischer bzw. Filter eingespart werden.

20 Sie besteht aus mehreren, parallel zueinander angeordneten D/A-Wandlern, wobei den einzelnen D/A-Wandlern jeweils spezifische Koeffizienten zugeordnet sind. Dadurch wird eine optimale Anpassung an einen gewünschten Trägerfrequenzbereich ermöglicht.

25 Die erfindungsgemäße Anordnung ist auf verschiedene Trägerfrequenzbereiche abstimmbar, indem die Taktfrequenz der D/A-Wandler entsprechend geändert wird.

30 Erfindungsgemäß wird durch Wahl der den D/A-Wandlern spezifisch zugeordneten Koeffizienten und der den Verzögerungsgliedern spezifisch zugeordneten Verzögerungszeiten besonders bevorzugt eine FIR-Filtercharakteristik realisiert bzw. in der Anordnung integriert. Die aufeinanderfolgenden Koeffizienten entsprechen einer Abtastung einer Impulsantwort von

einem Filter, das eine gewünschte Filtercharakteristik aufweist. Dadurch weist das trägerfrequente Ausgangssignal vergleichend zu einer Realisierungsform ohne Filtercharakteristik eine höhere spektrale Reinheit auf.

5

Die erfindungsgemäß integrierte FIR-Filtercharakteristik ist mit Hilfe einer Taktfrequenz eines Taktsignals skalierbar. Diese kann von der Taktfrequenz der A/D-Wandler abgeleitet oder mit ihr identisch sein. Da sich die Taktfrequenz meist proportional mit der Trägerfrequenz ändert, erfolgt bei der vorliegenden Erfindung die Anpassung der Filtercharakteristik automatisch.

10

Bei einer Änderung des gewünschten Trägerfrequenzbereichs wird die FIR-Filtercharakteristik über die Taktfrequenz entsprechend neu eingestellt. Ein Austausch von Hardware-Komponenten entfällt.

15

Entsprechen die Genauigkeit und die Anzahl der FIR-Filterkoeffizienten den Anforderungen eines neuen Mobilfunkstandards, so ist ein direktes Umschalten des Frequenzbereiches über die Taktfrequenz möglich, wobei das Umschalten mit Hilfe von Software realisierbar wäre.

20

Die erfindungsgemäße Anordnung ermöglicht für beliebige Trägerfrequenzbereiche, den Filteraufwand durch Vorfilterung erheblich zu minimieren. Zusammen mit einer entsprechenden Leistungsendstufe wird ein senderseitiger Verzicht auf frequenzspezifische Filter hoher Güte ermöglicht.

25

30

Mit Hilfe der erfindungsgemäßen Anordnung ist insbesondere ein durch $\Sigma\Delta$ -Wandler geformtes Quantisierungsrauschen des Eingangssignals leicht zu unterdrücken.

Die Filterfunktion der erfindungsgemäßen Anordnung ist durch die Signalform, die jeder D/A-Wandler pro Datum oder Bit ausgibt, beeinflussbar. Mit Hilfe einer geeigneten Signalform, wie beispielsweise Mehrfachpulsen, die aus mehreren Pulsen pro Datum bestehen, ist die Filterfunktion gezielt zu verbessern.

Im Folgenden wird ein Ausführungsbeispiel der Erfindung anhand einer Zeichnung näher erläutert. Dabei zeigt:

FIG 1 ein Blockschaltbild einer erfindungsgemäßen Anordnung zur Digital-Analog-Wandlung, und

FIG 2 vergleichend mit FIG 1 ein Ausführungsbeispiel einer erfindungsgemäßen Anordnung zur Digital-Analog-Wandlung.

FIG 1 zeigt ein Blockschaltbild einer erfindungsgemäßen Anordnung zur Digital-Analog-Wandlung.

Ein hochfrequentes digitales Eingangssignal DE gelangt einerseits an eine Verzögerungseinrichtung VZ und andererseits an eine Wandlungseinrichtung WD.

Die Verzögerungseinrichtung VZ weist n seriell aneinandergeschaltete Verzögerungsglieder $VG_1, VG_2, VG_3, \dots, VG_n$ auf, denen jeweils eine spezifische Verzögerungszeit $\tau_1, \tau_2, \tau_3, \dots, \tau_n$ zugeordnet ist. Jedes einzelne der Verzögerungsglieder VG_1 bis VG_n ist ausgangsseitig mit jeweils einem Ausgang $VA_1, VA_2, VA_3, \dots, VA_n$ der Verzögerungseinrichtung VZ verbunden. Über jeden dieser Ausgänge VA_1 bis VA_n gelangt ein diesem jeweils zugeordnetes, vom jeweiligen Verzögerungsglied VG_1 bis VG_n gebildetes Verzögerungssignal $VS_1, VS_2, VS_3, \dots,$

V_{Sn} an jeweils einen Eingang $WE_1, WE_2, WE_3, \dots, WEn$ der Wandlungseinrichtung WD .

Die Wandlungseinrichtung WD weist insgesamt $n+1$ D/A-Wandler
5 W_0, W_1, \dots, W_n auf, die zueinander parallel angeordnet sind.

Ein erster D/A-Wandler W_0 erhält als Eingangssignal das digitale Eingangssignal DE über einen Eingang WE_0 der Wandlungseinrichtung WD . Die anderen n D/A-Wandler erhalten über entsprechend zugeordneten Eingänge WE_1 bis WEn die Verzögerungssignale VS_1 bis V_{Sn} als Eingangssignal.
10

Jedem einzelnen der $n+1$ D/A-Wandler WE_0 bis WEn der Wandlungseinrichtung WD ist jeweils ein spezifischer Koeffizient
15 k_0, k_1, \dots, k_n zugeordnet.

Die einzelnen D/A-Wandler W_0 bis W_n sind ausgangsseitig, beispielsweise mit Hilfe von n Addiereinrichtungen AE_1, AE_2, \dots, AEn , zusammengefasst. Mit Hilfe der Addiereinrichtungen
20 AE_1 bis AEn werden $n+1$ Ausgangssignale AS_0, AS_1, \dots, AS_n der $n+1$ D/A-Wandler zu einem trägerfrequenten analogen Ausgangssignal AA addiert.

Zu beachten ist, dass die digitalen Eingangssignale DE und
25 VS_1 bis V_{Sn} bei der D/A-Wandlung in den jeweiligen D/A-Wandlern W_0 bis W_n mit den jeweils zugeordneten Koeffizienten k_0 bis k_n gewichtet werden.

Diese Koeffizienten k_0 bis k_n der D/A-Wandler W_0 bis W_n und
30 die Verzögerungszeiten τ_1 bis τ_n der Verzögerungsglieder VG_1 bis VG_n werden dabei derart festgelegt, dass die erfindungsgemäße Anordnung zur Digital-Analog-Wandlung eine gewünschte FIR-Filtercharakteristik aufweist.

FIG 2 zeigt vergleichend mit FIG 1 ein Ausführungsbeispiel einer erfindungsgemäßen Anordnung zur Digital-Analog-Wandlung.

5

Die einzelnen D/A-Wandler W_0 bis W_n sind als 1Bit-D/A-Wandler und die Verzögerungsglieder VG_1 bis VG_n als D-Latch realisiert. Sowohl die D/A-Wandler W_0 bis W_n als auch die Verzögerungsglieder VG_1 bis VG_n sind mit einem Taktsignal CLK getaktet.

10

Am D-Eingang eines ersten D-Latch bzw. eines ersten Verzögerungsglieds VG_1 ist das digitale Eingangssignal DE angeschaltet. Ausgangsseitig ist das erste Verzögerungsglied VG_1 über seinen Q-Ausgang mit einem D-Eingang des nächsten Verzögerungsglieds VG_2 verbunden, usw.

15

Durch das Taktsignal CLK entsprechen die den einzelnen Verzögerungsgliedern VG_1 bis VG_n zugeordneten spezifischen Verzögerungszeiten τ_1 bis τ_n , wie hier dargestellt, einer halben Taktperiode des Taktsignals CLK, das ebenfalls an den D/A-Wandlern W_0 bis W_n anliegt. Jedes einzelne Verzögerungsglied bzw. D-Latch verzögert um jeweils eine halbe Taktperiode.

20

Für die Verzögerungsglieder VG_1 bis VG_n sind jedoch auch kleinere Teile der Taktperiode des Taktsignals CLK verwendbar. Dadurch wird eine feinere Anpassung an eine Impulsantwort einer gewünschten Filtercharakteristik ermöglicht. Dadurch wird wiederum die Nyquistfrequenz der Filtercharakteristik vervielfacht und der Alias-Effekt unterdrückt.

30

Die jeweils den einzelnen D/A-Wandlern W_0 bis W_n zugeordneten Koeffizienten k_0 bis k_n werden mit Hilfe von Referenzstrom-

quellen $k_i \cdot I_{ref}$ (mit $i=0$ bis n) eingestellt, die die Größe der Ausgangssignale AS_0 bis AS_n bestimmen.

5 Sind zur Realisierung der FIR-Filtercharakteristik negative Faktoren bei den Koeffizienten k_0 bis k_n erforderlich, so werden entsprechende Ausgänge bei den betroffenen D/A-Wandlern vertauscht.

10 Beispielhaft ist dies für die Koeffizienten k_2 und k_n gezeigt. Vergleichend mit dem D/A-Wandler W_1 wurden bei den entsprechenden D/A-Wandlern W_2 und W_n die Anschlüsse für die Ausgänge ausgetauscht - siehe jeweils Detail D.

15 Die Ausgangssignale AS_0 bis AS_n der D/A-Wandler W_0 bis W_n werden zeitgleich aufsummiert und bilden das analoge Ausgangssignal AA .

Das hochfrequente digitale Eingangssignal DE kann bei der vorliegenden Erfindung auch breitbandig ausgestaltet sein.

Patentansprüche

1. Anordnung zur Digital-Analog-Wandlung eines hochfrequenten digitalen Eingangssignals (DE) in ein trägerfrequentes analoges Ausgangssignal (AA),
- bei der eine Verzögerungseinrichtung (VZ) mindestens ein erstes Verzögerungsglied (VG1) aufweist und weitere Verzögerungsglieder (VG2,...,VGn) dem ersten seriell aufeinanderfolgend nachgeschaltet sind,
 - bei der das digitale Eingangssignal (DE) einerseits an einen Eingang des ersten Verzögerungsglieds (VG1) und andererseits an einen Eingang eines ersten D/A-Wandlers (W0) angeschaltet ist,
 - bei der das erste Verzögerungsglied (VG1) ausgangsseitig mit einem Eingang eines ihm zugeordneten weiteren D/A-Wandlers (W1) verbunden ist und gegebenenfalls jedes weitere Verzögerungsglied (VG2,...,VGn) ausgangsseitig mit einem Eingang eines dem jeweiligen Verzögerungsglied (VG2,...,VGn) zugeordneten weiteren D/A-Wandlers (W2,...,Wn) verbunden ist,
 - bei der alle D/A-Wandler (W0,...,Wn) ausgangsseitig stufenweise derart zusammengefasst sind, dass Ausgangssignale (AS0,...,ASn) aller D/A-Wandler (W0,...,Wn) das analoge Ausgangssignal (AA) bilden, und
 - bei der jedem D/A-Wandler (W0,...,Wn) ein spezifischer Koeffizient (k_0, \dots, k_n) und jedem Verzögerungsglied (VG1,...,VGn) eine spezifische Verzögerungszeit (τ_1, \dots, τ_n) zur Realisierung einer Filtercharakteristik zugeordnet sind.

2. Anordnung nach Anspruch 1, bei der an jedem einzelnen D/A-Wandler (W_0, \dots, W_n) ein identisches Taktsignal (CLK) angeschaltet ist.

5

3. Anordnung nach Anspruch 2, bei der die den Verzögerungsgliedern (VG_1, \dots, VG_n) spezifisch zugeordneten Verzögerungszeiten (τ_1, \dots, τ_n) einer vollen Taktperiode oder einer Teiltaktperiode des Taktsignals (CLK) entsprechen.

10

4. Anordnung nach einem der vorhergehenden Ansprüche, bei der die spezifischen Koeffizienten (k_0, \dots, k_n) und die spezifischen Verzögerungszeiten (τ_1, \dots, τ_n) derart gewählt sind, dass eine FIR-Filtercharakteristik realisiert wird.

15

5. Anordnung nach einem der vorhergehenden Ansprüche, bei der die Verzögerungsglieder (VG_1, \dots, VG_n) als mit dem Taktsignal (CLK) getaktete D-Latch ausgebildet sind.

20

6. Anordnung nach einem der vorhergehenden Ansprüche, bei der die D/A-Wandler (W_0, \dots, W_n) als 1Bit-D/A-Wandler ausgebildet sind.

25

7. Anordnung nach einem der vorhergehenden Ansprüche, bei der die D/A-Wandler (W_0, \dots, W_n) ausgangsseitig mittels Addiereinrichtungen (AE_1, \dots, AE_n) zusammengefasst sind.

30

8. Anordnung nach einem der vorhergehenden Ansprüche, bei der die den Verzögerungsgliedern (VG_1, \dots, VG_n) zugeordneten Verzögerungszeiten (τ_1, \dots, τ_n) gleich sind.

9. Anordnung nach einem der vorhergehenden Ansprüche, bei der die Ausgangssignale (AS_0, \dots, AS_n) der D/A-Wandler (W_0, \dots, W_n) zur Verbesserung der Filterfunktion jeweils eine Mehrfachpulsfolge aufweisen.

5

10. Anordnung nach einem der vorhergehenden Ansprüche, bei der das digitale Eingangssignal (DE) breitbandig ist.

10

Zusammenfassung

Anordnung zur Digital-Analog-Wandlung eines hochfrequenten digitalen Eingangssignals in ein trägerfrequentes analoges

5 Ausgangssignal

Die Anordnung zur Digital-Analog-Wandlung weist eine Verzögerungseinrichtung mit mindestens einem ersten Verzögerungsglied auf, wobei gegebenenfalls weitere Verzögerungsglieder

10 dem ersten seriell aufeinanderfolgend nachgeschaltet sind.

Das digitale Eingangssignal ist einerseits an einen Eingang des ersten Verzögerungsglieds und andererseits an einen Eingang eines ersten D/A-Wandlers angeschaltet. Das erste Verzögerungsglied ist ausgangsseitig mit einem Eingang eines ihm

15 zugeordneten weiteren D/A-Wandlers verbunden. Die gegebenenfalls weiteren Verzögerungsglieder sind jeweils ausgangsseitig mit einem Eingang eines dem jeweiligen Verzögerungsglied zugeordneten weiteren D/A-Wandlers verbunden. Alle D/A-

20 Wandler werden ausgangsseitig stufenweise derart zusammengefasst sind, dass Ausgangssignale aller D/A-Wandler das analoge Ausgangssignal bilden. Jedem D/A-Wandler wird ein spezifischer Koeffizient und jedem Verzögerungsglied wird eine spezifische Verzögerungszeit derart zugeordnet, dass eine Filtercharakteristik realisiert wird.

25

FIG 1

FIG 1

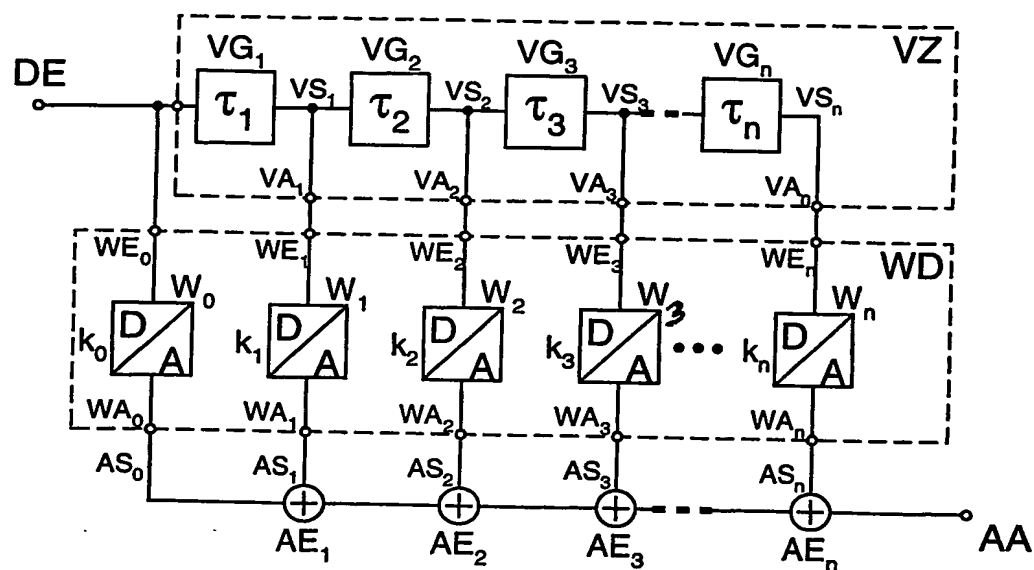
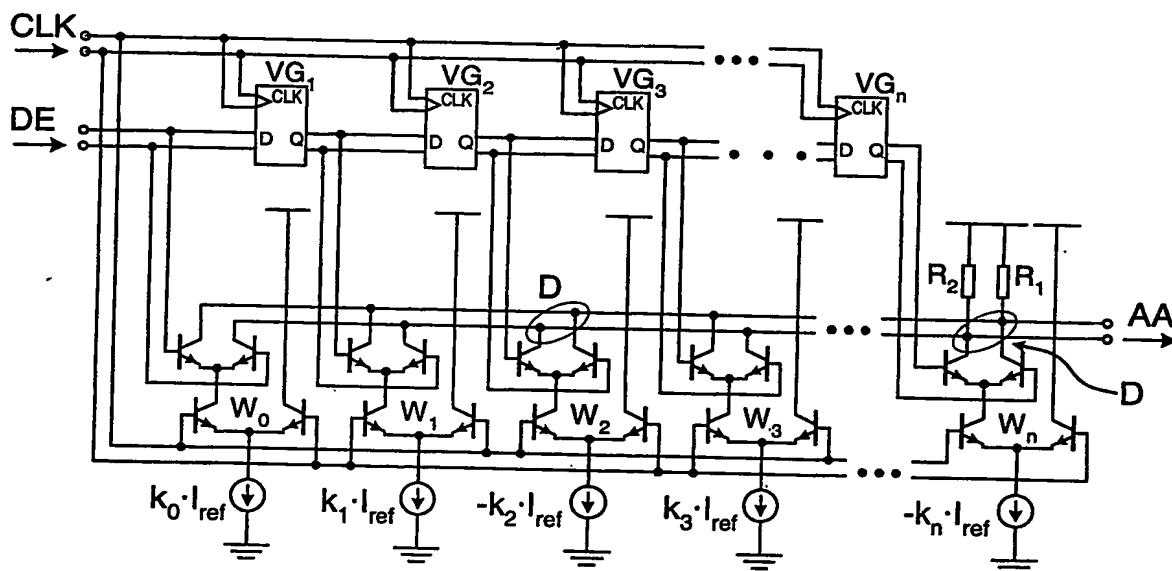


FIG 2



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☒ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☒ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☒ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☒ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.